

⑨ 日本国特許庁(JP) ⑩ 特許出願公開  
⑪ 公開特許公報(A) 昭63-37891

⑫ Int. Cl.<sup>4</sup> 識別記号 庁内整理番号 ⑬ 公開 昭和63年(1988)2月18日  
G 11 C 11/34 3 5 3 A-8522-5B

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 MOSメモリ装置

⑮ 特 願 昭61-180599

⑯ 出 願 昭61(1986)7月31日

⑰ 発 明 者 有 本 和 民 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・  
エス・アイ研究所内  
⑱ 発 明 者 松 田 吉 雄 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・  
エス・アイ研究所内  
⑲ 発 明 者 益 子 耕 一 郎 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・  
エス・アイ研究所内  
⑳ 発 明 者 古 谷 清 広 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・  
エス・アイ研究所内  
㉑ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号  
㉒ 代 理 人 弁理士 早瀬 憲一  
最終頁に続く

明 細 書

1. 発明の名称

MOSメモリ装置

2. 特許請求の範囲

(1) 半導体基板上に形成され各ビット線対が各々複数組のゲートを介して分割された構成を取るMOSダイナミックRAMにおいて、

第1導電形のMOSトランジスタからなりそれぞれ第1及び第2の分割ビット線対に接続された第1、第2の分割ビット線対に接続された第1、第2のフリップフロップと、

第2導電形のMOSトランジスタからなり上記複数組のゲートを介して上記第1、第2の分割ビット線対に接続された第3のフリップフロップとを備え、

上記第1ないし第3のフリップフロップによりシフトセンスアンプが構成され、

上記第1、第2のフリップフロップはそのドライブ能力が異なることを特徴とするMOSメモリ装置。

(2) デコーダ出力に応じてビット線データをデータ入出力線に転送するための1/0ゲートが、上記第1または第2の分割ビット線対のうちの当該デコーダに近い側のものに接続されていることを特徴とする特許請求の範囲第1項記載のMOSメモリ装置。

(3) 上記第1、第2のフリップフロップのうち上記デコーダに近い側の分割ビット線対に接続されたものが他方のフリップフロップよりも大きなドライブ能力を有することを特徴とする特許請求の範囲第1項または第2項記載のMOSメモリ装置。

(4) 上記ドライブ能力の差異は上記フリップフロップを構成するトランジスタサイズの差異により付与されていることを特徴とする特許請求の範囲第1項ないし第3項のいずれかに記載のMOSメモリ装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、MOSメモリ装置、特にCMOS

ダイナミックRAMに関し、そのセンスアンプの  
新規な構成に関するものである。

(従来の技術)

第4図は雑誌「電子材料」1986年1月号P41,42  
の図4、図5に示された従来のシアドセンスア  
ンプの構成法を示す図であり、図において、1、  
1'はビット線、7、7'はビット線、2、2'  
は第1、第2のワード線、3はコラムデコーダ、  
4、4'は1/O線、 $\overline{1/O}$ 線である。

またM1及びM2はメモリセルであり、それぞ  
れトランジスタQ1、容量C1及びトランジスタ  
Q1、容量C2により構成されている。

第5図は従来の第4図のセンスアンプ構成を使  
用した場合のMOSダイナミックRAMのチップ  
アーキテクチャを示したものである。

図中、5はセンスアンプ回路(トランジスタQ<sub>5a</sub>、  
～Q<sub>5c</sub>)5a、1/Oゲート(トランジスタQ<sub>5d</sub>、  
Q<sub>5e</sub>)5b、ビット線プリチャージ回路(トラン  
ジスタQ<sub>5f</sub>、～Q<sub>5h</sub>)5cからなる部分を示す。ま  
た3はコラムデコーダ、6はロウデコーダを示して

いる。

シアドセンスアンプはビット線対を1、7と  
1'、7'とに分割した時、それぞれのビット線  
にセンスアンプを設けずに1つのセンスアンプを  
共用して使用する為、チップサイズを小さくでき、  
低消費電力化に役立つという特徴がある。

次に動作について第4図及び第5図を用いて説  
明する。

シアドセンスアンプの動作モードには2種類  
があり、Aブロック(コラムデコーダから遠い側)  
のメモリセルがアクセスされた時のモードとBブ  
ロック(コラムデコーダに近い側)がアクセスさ  
れる時のモードの2種類である。

まずAブロックのメモリセルM1がアクセスさ  
れる場合について記述する。まずビット線対1、  
1'、7、7'とセンスアンプ回路5aの間のト  
ランスファゲートを形成するトランジスタQ<sub>5d</sub>、  
Q<sub>5e</sub>、Q<sub>5f</sub>、Q<sub>5g</sub>が全てオンとなっていてビット  
線1と7、1'と7'はそれぞれつながっている、  
即ちゲート信号φ<sub>eg</sub>、φ<sub>eg</sub>は高レベルであり、ま

たセンスアンプ活性化信号φ<sub>sa</sub>は高レベル、φ<sub>sa</sub>  
は低レベルになっていて、センスアンプ回路  
5aは非活性、コラムアドレス信号φ<sub>v</sub>は低レベ  
ルになっていてトランジスタQ<sub>5d</sub>、Q<sub>5e</sub>はオフに  
なっており、ビット線と1/O線とは切り離され  
ているものとする。

この時プリチャージ信号φ<sub>pc</sub>によりトランジ  
スタQ<sub>5f</sub>、Q<sub>5g</sub>、Q<sub>5h</sub>がオンされ、ビット線1、1'、  
7、7'の電位は定電圧V<sub>ss</sub>(通常は(1/2)  
V<sub>cc</sub>)にプリチャージされている。

次に、φ<sub>pc</sub>が低レベルになり、トランジスタQ<sub>5f</sub>、  
Q<sub>5g</sub>、Q<sub>5h</sub>がオフし、更にφ<sub>eg</sub>が低レベルに  
なり非選択側ブロックBのビット線はトランジ  
スタQ<sub>5d</sub>、Q<sub>5e</sub>がオフされる事によりセンスアンプ  
回路と切り離される。その後ワード線2がアク  
セスされてトランジスタQ<sub>5d</sub>がオンし、メモリセル  
M1のデータはビット線1'上に読み出される。  
しかる後にφ<sub>sa</sub>、φ<sub>sa</sub>によりトランジスタQ<sub>5d</sub>、  
Q<sub>5e</sub>がオンしてセンスアンプが活性化し、メ  
モリセルM1のデータがビット線1、1'上に増

巾される。その後φ<sub>v</sub>が高レベルになるとトラ  
ンジスタQ<sub>5d</sub>、Q<sub>5e</sub>がオンしてビット線のデータは  
1/O線、 $\overline{1/O}$ 線上に読み出される。

また1/O線、 $\overline{1/O}$ 線より読み出したデータ  
に対して逆のデータを書きかえる事はトランジ  
スタQ<sub>5d</sub>、Q<sub>5e</sub>を介して1/O線、 $\overline{1/O}$ 線のデー  
タをセンスアンプ回路に伝達し該センスアンプ回  
路のフリップフロップを逆転させることに行われ、  
該センスアンプ回路によりビット線、ビット線1、  
1'上に読みこまれるべきデータが増巾されてメ  
モリセルM1に書き込まれる。

またBブロックのメモリセルM2がアクセスさ  
れる時も類似の動作でデータが1/O、 $\overline{1/O}$ 線  
に読みだされる。

書き込み動作モードも同様である。

(発明が解決しようとする問題点)

従来のシアドセンスアンプ装置は以上の様に  
構成されているので、コラムデータ3の出力信号  
φ<sub>v</sub>をコラムデータ3から回路部5内に含まれる  
1/Oゲートにまで接続しなければならず、その

為にビット線の間にはビット線と同じ配線材料で $\phi_v$ を通すかまたは、別の配線材料を用いて $\phi_v$ を接続する必要があった。またこの $\phi_v$ 信号線は、ビット線に対して容量を形成するために、ビット線容量にアンバランスを生じない様に構成する必要があった。

この発明は、上記の様な問題点を解消するためになされたもので、コラムデータ出力信号 $\phi_v$ の配線をビット線の間に通さず、また別の配線材料をも用いずに形成できる高感度のシエアドセンスアンプを有するMOSメモリ装置を得ることを目的とする。

(問題点を解決するための手段)

この発明に係るMOSメモリ装置は、p-chまたはn-chセンスアンプのいずれか一方のみをシエアドし、1/Oゲートをコラムデコーダが設けられている側の分割ビット線端に設け、シエアドされない他方のchのセンスアンプのうち1/Oゲートに近いものと遠いものとでそのドライブ能力が異なるように構成したものである。

(作用)

この発明におけるシエアドセンスアンプは、p-chまたはn-chのいずれか一方のセンスアンプのみがシエアドされ、分割されたビット線は各々他方のchのセンスアンプを有し、1/Oゲートをコラムデコーダが設けられている側の一方の<sup>分割</sup>ビット線端に設け、かつシエアドされない他方のchのセンスアンプは1/Oゲートに近いものと遠いものとでそのドライブ能力に差が与えられているから、コラムデコーダ出力信号用の配線をビット線間に設けずともよく、かつ1/Oゲートがビット線端にありながら十分なデータ増巾性能をもち、データを1/O線に転送できる。またパターンレイアウト上もチップ面積は従来例に比べてもほぼ同じですみ、消費電力も従来例並みの高性能を有する。また読み出しデータと逆のデータをメモリセルに書込む際の不具合が解消される。

(実施例)

以下、この発明の一実施例を図について説明する。

第1図は本発明の一実施例によるMOSメモリ装置を示し、図において、8、8'、10、10'はビット線、ビット線 (第1、第2の分割ビット線対)、15、15'は第3、第4のワード線、14はコラムデコーダ、9、9'は1/O線、1/O線である。

第2図は、第1図のセンスアンプを構成した場合のMOSダイナミックRAMのブロック図を示したものである。シエアドセンスアンプの構成は、ビット線、ビット線がそれぞれ8、8'と10、10'に分割されている。またそれぞれのビット線にはトランジスタ $Q_{21}$ 、 $Q_{22}$ より構成されるn-chセンスアンプ13の一部を構成する第2のフリップフロップ及びトランジスタ $Q_{31}$ 、 $Q_{32}$ より構成されるn-chセンスアンプ11の一部を構成する第1のフリップフロップが直接接続されている。またビット線、ビット線を分割するのはトランジスタ $Q_{41}$ 、 $Q_{42}$ 、 $Q_{51}$ 、 $Q_{52}$ により構成される転送ゲート20a、20bである。

各々のビット線、ビット線を分割している転送

ゲート20a、20bの間(12に相当)には、トランジスタ $Q_{21}$ 、 $Q_{22}$ により構成されるp-chセンスアンプ(第3のフリップフロップ)12aが1組あり、かつトランジスタ $Q_{41}$ 、 $Q_{42}$ 、 $Q_{51}$ から構成された、ビット線、ビット線をプリチャージするプリチャージ回路12bが存在する。またコラムデコーダ14の出力信号 $\phi_v$ を受けてビット線、ビット線のデータを1/O、1/O線に転送する1/Oゲート(トランジスタ $Q_{21}$ 、 $Q_{22}$ に相当)はn-chセンスアンプ13とコラムデコーダ14との間に位置する(16を示す)。

そして本実施例では上記n-chセンスアンプ11、13及びp-chセンスアンプ12aによりシエアドセンスアンプ100が構成されている。

次に本実施例装置の動作モードについて述べる。

本装置の動作モードには2種類あり、A'ブロックのメモリセルM3がアクセスされる時とB'ブロックのメモリセルM4がアクセスされる場合の2種類のモードである。

第3図は各クロックのタイミングチャートを示

し、実線はB'ブロック、破線はA'ブロックがアクセスされた時を示す。以下このタイミングチャートに沿って説明を行う。

(1) A'ブロックがアクセスされた時

時刻 $t = t_1$ においてはビット線、ビット線8、8'、10、10'は共に $V_{ss}$ レベルにプリチャージされている。 $t = t_1$ で $\phi_{c1}$ が低レベルになりビット線、ビット線10、10'はトランジスタ $Q_{21}$ 、 $Q_{27}$ がオフして切り離される。次に $t = t_2$ において $\phi_{rc}$ が低レベルになりビット線、ビット線8、8'のプリチャージ、イコライズが終了する。 $t = t_3$ でワード線15が立ち上がりメモセルM3のデータが読み出される。

$t = t_4$ で $\phi_{saw1}$ が高レベルになりn-chセンスアンプ11が活性化し、またほぼ同時に $\phi_{sar}$ が低レベルになりp-chセンスアンプ12aも活性化しビット線、ビット線8、8'上にメモセルのデータが0Vおよび $(V_{cc} - V_{th})$ Vに増巾される。次いで $t = t_5$ で $\phi_{c1}$ が高レベルになり増巾されたデータがトランジスタ $Q_{21}$ 、 $Q_{27}$ を介

してビット線、ビット線10、10'上に転送される。 $t = t_6$ においてn-chセンスアンプ13が $\phi_{saw1}$ により活性化されビット線、ビット線10、10'上にも0V及び $(V_{cc} - V_{th})$ Vに、データが増巾される。次いで $t = t_7$ で $\phi_r$ が高レベルになり1/0、1/0線9、9'にデータが転送される。

更に読み出されたデータに対して逆のデータが1/0、1/0線9、9'より書き込まれた場合、トランジスタ $Q_{21}$ 、 $Q_{27}$ のゲートを介してデータがビット線、ビット線10、10'に書き込まれる。するとトランジスタ $Q_{21}$ 、 $Q_{27}$ より構成されるフリップフロップを含むn-chセンスアンプ13が反転され、書きこまれた逆データをビット線、ビット線10、10'上に増巾する。このデータが順次ゲート $Q_{21}$ 、 $Q_{27}$ を介してp-chセンスアンプ12aを反転し更にゲート $Q_{21}$ 、 $Q_{27}$ を介してビット線、ビット線8、8'に転送される。この時トランジスタ $Q_{21}$ 、 $Q_{27}$ より構成されるフリップフロップを含むn-chセンスアンプ11を反

転させる必要がある。

n-chセンスアンプ13は一般に同じトランジスタサイズで作られたp-chセンスアンプ12aよりドライブ能力が強いためにフリップフロップを反転できるが、n-chセンスアンプ11、13が共に同じサイズで構成されていた場合、競合が生じ逆データの書き込みができなくなったり、センスに非常に長い時間を要してしまう。よって、1/0ゲートに近い側のセンスアンプ13は1/0ゲートに遠い方のセンスアンプ11に比べてドライブ能力が大きくなるようにサイズにアンバランスを設ける必要がある。本発明ではセンスアンプ13のトランジスタサイズをセンスアンプ11のそれより大きくする事によりA'ブロックへの逆データの書き込みがスムーズに行われる様になる。

(2) B'ブロックがアクセスされた時

$t = t_1$ においては、先に述べたA'ブロックがアクセスされた時と同じである。 $t = t_1$ において $\phi_{c1}$ が低レベルになりビット線、ビット線8、

8'は切り離される。 $t = t_2$ で $\phi_{rc}$ が低レベルになり、ビット線、ビット線10、10'のプリチャージ、イコライズが終了する。 $t = t_3$ でワード線15'が立ち上がりメモセルM4のデータが読み出される。 $t = t_4$ で $\phi_{saw1}$ が高レベルになりn-chセンスアンプ13が活性化し、ほぼ同時に $\phi_{sar}$ が低レベルになりp-chセンスアンプ12aも活性化し、ビット線、ビット線10、10'上にメモセルデータが0V及び $(V_{cc} - V_{th})$ Vに増巾される。次いで $t = t_5$ で $\phi_r$ が高レベルになり1/0、1/0線9、9'のデータが転送される。

また書き込み動作は従来例と変わらずA'ブロック選択時の様な問題はない。

本発明は以上の様に構成され動作するために以下に示すような効果がある

各々分割されたビット線対に直接接続されたn-chセンスアンプ11、13のサイズにアンバランスを設けドライブ能力に差をつけて、つまり1/0ゲートと同一ビット線対に設けられたn-ch

センスアンプ13を他方のセンスアンプ11よりそのサイズを大きくして、読み出しデータに対しての逆データの書き込みをスムーズに出来る様にしてある。

また1/O、1/O線の転送ゲート16がコラムデコーダに接して構成されるため、コラムアドレス選択信号 $\phi$ の配線をビット線間に設けたり、また他の配線層を用いて設ける必要がない。またメモリセルから読み出されたデータがまずn-chセンスアンプ11、13で直接増巾されるのに対し、従来例では一度転送ゲート、即ちトランジスタ $Q_{11}$ 、 $Q_{12}$ 、又は $Q_{21}$ 、 $Q_{22}$ を通過しなければならない為、センス感度は本発明の方が向上している。

本発明の1/OゲートはBブロックにある為にAブロックが選ばれた時に転送ゲートを2度通過しなければならないが、センスアンプ13が有効な働きをするために全く不利にはならない。

またセンスアンプがp-chのものとn-chのものとでパターンレイアウト上離れているため、ラ

ッチアップ等の見地からもパターンレイアウトしやすい。またビット線の高レベルは従来例と全く同じ( $V_{cc}-V_{th}$ )Vまでであり、また、本発明では上述のようにp-chセンスアンプとn-chセンスアンプがパターンレイアウト上離れており、かつその間に転送ゲートのトランジスタを介しているために、センス時のp-chセンスアンプとn-chセンスアンプ間の貫通電流が従来例に比べ大きく改善され、パワーカットの点で大きな効果がある。

また本発明ではビット線と1/O線とが交差しない為に両者を同一の配線層で形成することも可能である。

また本発明ではn-chセンスアンプの個数が従来例に比べ2倍あるが、トランジスタ $Q_{31}$ 、 $Q_{32}$ 、 $Q_{41}$ 、 $Q_{42}$ のサイズを従来に比べ小さくできるためにトータルのパターンレイアウトの面積もほぼ同一にできる。

また本発明では従来例と同じくビット線プリチャージレベルが( $V_{cc}-V_{th}$ )/2= $V_{th}$ であり、

これはワード線をブーストしない時にメモリセルに書きこまれる電位(0V又は $V_{cc}-V_{th}$ (メモリセルトランジスタの $V_{th}$ )であり、センスの感度はダミーレベルをうまく読み出し電荷のほぼ中央に設定できるためにセンス感度はよく、ソフトウェア等にも強い。

なお、上記実施例ではp-chセンスアンプ分のみをシェアし、n-chセンスアンプ分のフリップフロップを2つ設けたが、逆にn-chセンスアンプ分のみをシェアし、p-chセンスアンプ分のフリップフロップを2つ設けてもよく、上記実施例と同様の効果を奏する。

また上記実施例ではCMOSのシエアドセンスアンプの構成について示したが、NMOSのシエアドセンスアンプとすることもでき、これはp-chセンスアンプ部をN-chトランジスタのみで構成された、昇圧回路を有するアクティブリストア回路を用いることにより実現できる。

(発明の効果)

以上のように、この発明に係るMOSメモリ装

置によれば、CMOSシエアドセンスアンプのうち一方の導電型のセンスアンプのみをシェアし、1/Oゲートをコラムデコーダに隣接して設け、シェアされない他方の導電型のセンスアンプは1/Oゲートに近いものと遠いものとでそのドライブ能力が異なるようにしたので、センス感度の向上、読み出しデータと逆データを書込む際のセンス障害の解消、パターンレイアウトの容易化、ソフトウェアに強い等の種々の効果が得られる。

#### 4. 図面の簡単な説明

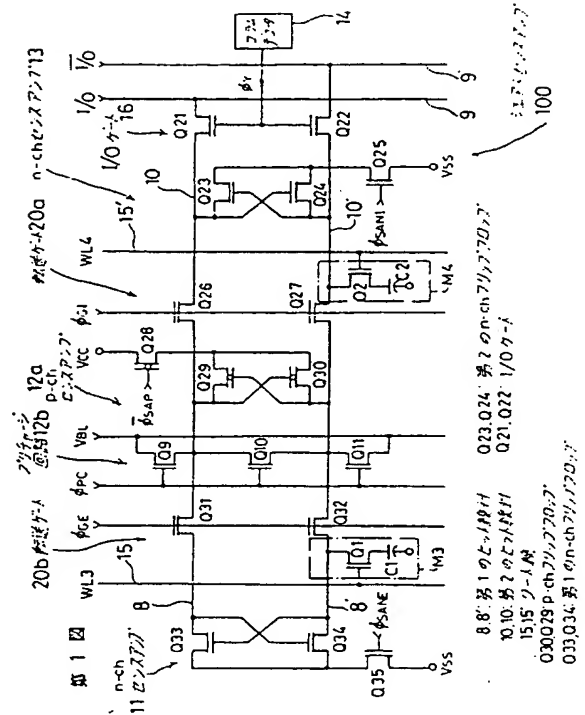
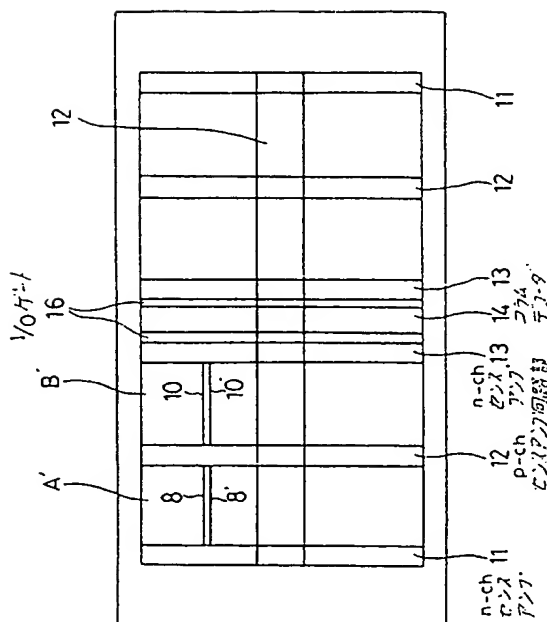
第1図はこの発明の一実施例によるMOSメモリ装置のセンスアンプの回路図、第2図は第1図のセンスアンプを使用した時のメモリセルのブロック図、第3図は第1図のセンスアンプのタイミングチャート図、第4図は従来例によるセンスアンプの回路図、第5図は第4図のセンスアンプを使用した時のメモリアレイのブロック図である。

図において、 $Q_{11}$ 、 $Q_{12}$ はp-chトランジスタ、12aはp-chセンスアンプ(第3のフリップフロップ)、 $Q_{31}$ 、 $Q_{32}$ はn-chトランジスタ、1

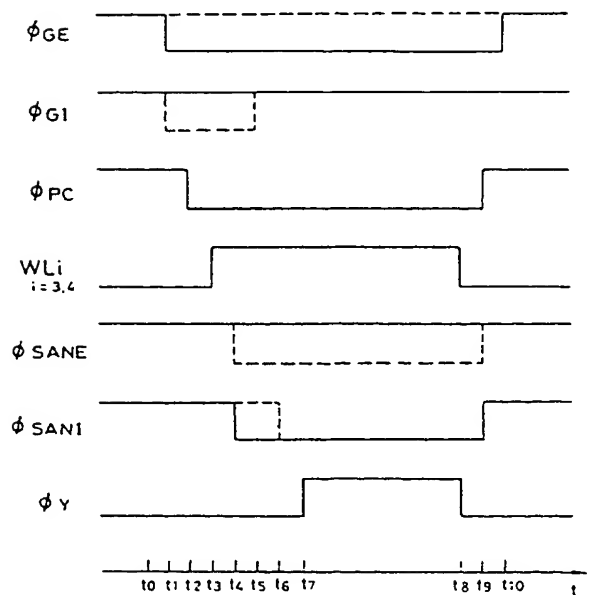
1 は n - ch センスアンプ (第 1 のフリップフロップ)、Q<sub>23</sub>、Q<sub>24</sub> は n - ch トランジスタ、13 は n - ch センスアンプ (第 2 のフリップフロップ)、14 はコラムデコーダ、15、15' はワード線、8、8' は第 1 の分割ビット線対、10、10' は第 2 の分割ビット線対、16 は 1/O ゲート、20 a、20 b は転送ゲート、100 はコラムデコーダである。

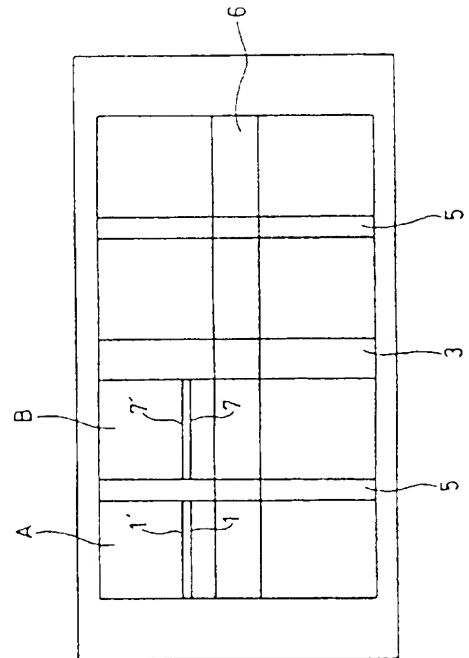
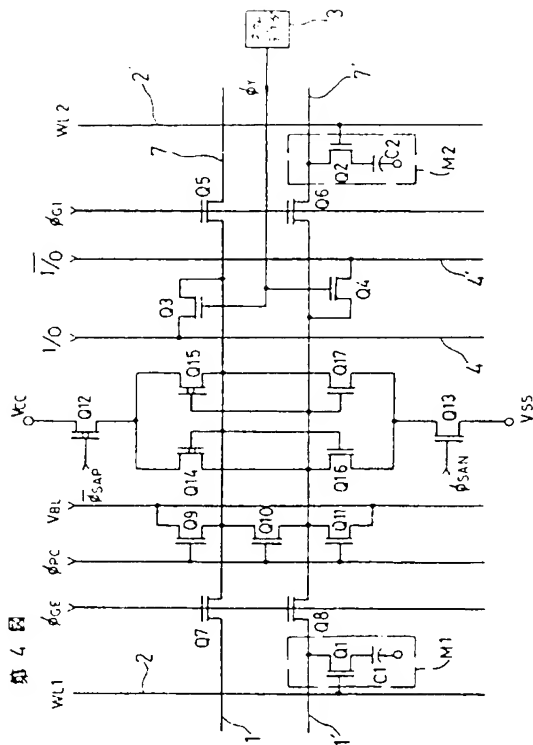
代理人 早 堀 密 一

第 2 図



第 3 図





第 1 頁の続き

⑫発 明 者 松 本 憲 昌 兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機株式会社エル・エス・アイ研究所内

